

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 6日

出 願 番 号

Application Number:

特願2002-323124

[ST.10/C]:

[JP2002-323124]

出 願 人

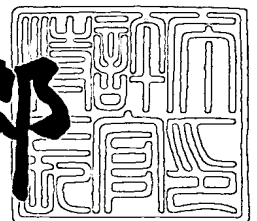
Applicant(s):

沖電気工業株式会社
株式会社 沖マイクロデザイン

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3050483

【書類名】 特許願

【整理番号】 KA003864

【提出日】 平成14年11月 6日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 17/00

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社
沖マイクロデザイン内

【氏名】 小山 和彦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 高電圧検出回路

【特許請求の範囲】

【請求項 1】 電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、

前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、

前記入力端子にソースが接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が与えられたときにオン状態となり、該入力端子に前記入力信号が与えられたときにはオフ状態となるトランジスタと、

前記初期リセット信号によってリセットされ、前記トランジスタがオン状態となった時にセットされて高電圧検出信号を出力するラッチ部とを、

備えたことを特徴とする高電圧検出回路。

【請求項 2】 電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、

前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、

ソースとドレインがそれぞれ前記入力端子と第 1 のノードに接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が入力されたときにオン状態となり、該入力端子に前記入力信号が入力されたときにはオフ状態となる第 1 のトランジスタと、

前記第 1 のノードと接地電位との間に接続されたプルダウン素子と、

前記第 1 のノードの論理値を反転するインバータと、

前記電源電位と第 2 のノードとの間に接続され、前記インバータの出力信号によってオンまたはオフ制御される第 2 のトランジスタと、

前記第 2 のノードと前記接地電位との間に接続され、前記初期リセット信号が与えられたときにオン状態となる第 3 のトランジスタと、

前記第 2 のノードの電位を保持して高電圧検出信号として出力するラッチ部とを、

備えたことを特徴とする高電圧検出回路。

【請求項 3】 前記第 2 のノードと前記接地電位との間に接続され、モード

リセット信号が与えられたときにオン状態となる第4のトランジスタを設けたことを特徴とする請求項2記載の高電圧検出回路。

【請求項4】 電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、

ソースとドレインがそれぞれ前記入力端子と第1のノードに接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が入力されたときにオン状態となり、該入力端子に前記入力信号が入力されたときにはオフ状態となる第1のトランジスタと、

前記第1のノードと接地電位との間に接続された第1のプルダウン素子と、

前記第1のノードの論理値を反転するインバータと、

前記電源電位と第2のノードとの間に接続され、前記インバータの出力信号によってオンまたはオフ制御される第2のトランジスタと、

前記第2のノードと前記接地電位との間に接続された第2のプルダウン素子と

前記第2のノードと前記接地電位との間に接続され、外部リセット信号が与えられたときにオン状態となる第3のトランジスタと、

前記第2のノードの電位を保持して高電圧検出信号として出力するラッチ部とを、

備えたことを特徴とする高電圧検出回路。

【請求項5】 請求項1乃至4いずれか記載の高電圧検出回路は、更に、前記入力端子に接続される内部回路を有しており、前記高電圧は、前記内部回路のモードを設定するために前記入力端子に与えられることを特徴とする高電圧検出回路。

【請求項6】 請求項5記載の高電圧検出回路において、前記モードは、前記内部回路を試験する際に設定されることを特徴とする高電圧検出回路。

【請求項7】 前記ラッチ部は、2つのインバータをフリップフロップで構成したことを特徴とする請求項1乃至4のいずれかに記載した高電圧検出回路。

【請求項8】 前記プルダウン素子は、ディプレッション型のMOSトランジスタで構成したことを特徴とする請求項4または7記載の高電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばモード設定等のために入力端子に与えられる高電圧を検出する高電圧検出回路に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開平5-259880号公報

【0004】

従来、半導体装置において、集積回路を試験モードに設定するために、アドレス信号等との共用の入力端子に電源電圧よりも高い電圧を入力し、それを高電圧検出回路で検出して試験モードに切り替えることが行われている。

【0005】

従来の高電圧検出回路は、例えば、ソースが入力端子に接続され、ドレインが抵抗等を介して接地電圧GNDに接続され、ゲートに電源電圧VCCが与えられたPチャネルMOSトランジスタ（以下、「PMOS」という）を設け、このPMOSのドレインのレベルを、高電圧検出信号として出力するようになっている。

【0006】

このような高電圧検出回路では、共用の入力端子に電源電圧VCCと接地電圧GNDの間の電圧（アドレス信号等）が与えられた場合、PMOSの閾値電圧 V_{th} によってこのPMOSに電流は流れず、ドレインのレベルは“L”となる。一方、入力端子に所定の高電圧（ $VCC + V_{th}$ よりも高い電圧）が与えられると、PMOSはオン状態となり、ドレインのレベルは“H”となる。従って、PMOSのドレインのレベルにより、高電圧が与えられているか否かを検出することができる。

【0007】

【発明が解決しようとする課題】

しかしながら、従来の高電圧検出回路では、次のような課題があった。

集積回路の微細化に伴い、ゲート酸化膜の薄膜化が進んでいるが、この薄膜化によりゲート酸化膜の耐圧が減少し、ゲートに高電圧を印加できなくなりつつある。

【0008】

一方、半導体装置の試験の中には、電源電圧 VCC を通常動作時の電圧よりも高く設定して実施する高電圧印加試験がある。その場合、試験モードに設定するために入力端子に印加する高電圧が、所定の高電圧 ($VCC + V_{th}$) よりも更に高くなる。高電圧を印加する入力端子は、半導体装置の端子数の増加を防ぐため、一般的にアドレス信号等の入力端子と共用されている。

【0009】

このため、高電圧印加試験時に、試験モードを設定するために所定の高電圧よりも更に高い電圧が入力端子に印加されると、アドレス信号用の入力回路のゲート酸化膜を破壊してしまうという課題があった。

【0010】

【課題を解決するための手段】

前記課題を解決するために、本発明は、モード設定用の高電圧が印加されたことを検出し、高電圧検出信号を保持して出力する高電圧検出回路を、電源電圧よりも高い高電圧の入力と論理動作のために該電源電圧以下の入力信号の入力とに共用される入力端子と、前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、前記入力端子にソースが接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が与えられたときにオン状態となり、該入力端子に前記入力信号が与えられたときにはオフ状態となるトランジスタと、前記初期リセット信号によってリセットされ、前記トランジスタがオン状態となった時にセットされて高電圧検出信号を出力するラッチ部とで構成している。

【0011】

本発明によれば、以上のように高電圧検出回路を構成したので、次のような作

用が行われる。

【0012】

電源電圧が投入されると、リセット部から初期リセット信号が出力され、ラッチ部がリセットされる。この状態で入力端子に電源電圧以下の信号が入力されると、この入力信号は論理動作の入力信号として処理される。

次に、入力端子に電源電圧よりも高い高電圧が与えられると、トランジスタがオン状態となってラッチ部がセットされ、高電圧検出信号が出力される。これにより、例えば、試験モードに移行されて試験動作が開始される。

【0013】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態を示す高電圧検出回路の構成図である。

この高電圧検出回路は、試験モード設定用の高電圧とアドレス信号が入力される共用の端子1と、電源電圧VCCが供給される端子2を有している。

【0014】

端子1にはバッファ3が接続され、このバッファ3からアドレス信号ADRが出力されるようになっている。更に、端子1にはPMOS11のソースが接続されている。PMOS11のドレインは、PMOS12のソースとゲートに接続され、このPMOS12のドレインがノードN1に接続されている。

【0015】

ノードN1と接地電圧GNDの間には、NチャネルMOSトランジスタ（以下、「NMOS」という）13、14が直列に接続され、これらのPMOS11とNMOS13、14のゲートには、端子2の電源電圧VCCが与えられるようになっている。ノードN1には、インバータ15の入力側が接続されている。

【0016】

インバータ15は、電源電圧VCCと接地電圧GNDの間に、PMOS15a及びNMOS15b、15cを直列に接続したもので、このPMOS15aとNMOS15cのゲートが、ノードN1に接続されている。NMOS15bのゲートは、電源電圧VCCに接続されて常にオン状態に設定され、このNMOS15

bとPMOS 15 aのドレイン同士の接続箇所から、ノードN 1の信号を反転した信号が出力されるようになっている。インバータ 15の出力側には、インバータ 16が接続されている。

【0017】

インバータ 16は、電源電圧VCCと接地電圧GNDの間に、PMOS 16 a, 16 bとNMOS 16 c, 16 dを直列に接続したものである。PMOS 16 a, 16 bとNMOS 16 c, 16 dのゲートは、インバータ 15の出力側に共通に接続され、このPMOS 16 bとNMOS 16 cのドレイン同士の接続箇所が出力側になっている。なお、このように2つのPMOSと2つのNMOSをそれぞれ直列に接続したのは、流れる電流の大きさを小さくするためである。インバータ 16の出力側には、このインバータ 16と同様の構成のインバータ 17が接続されている。

【0018】

インバータ 17の出力側は、PMOS 18のゲートに接続されている。PMOS 18のソースとドレインは、それぞれ電源電圧VCCとノードN 2に接続されている。ノードN 2にはNMOS 19のドレインが接続され、このNMOS 19のソースは接地電圧GNDに接続され、ゲートにはパワーオンリセット部 20からリセット信号PORが与えられるようになっている。パワーオンリセット部 20は、端子2に電源電圧VCCが投入されたときに、一定のパルス幅を有する“H”のリセット信号PORを出力するものである。

【0019】

ノードN 2には、ラッチ部 21が接続されている。ラッチ部 21は、2つのインバータ 21 a, 21 bをループ状に接続したもので、インバータ 21 aの入力側とインバータ 21 bの出力側が、ノードN 2に接続され、このインバータ 21 aの出力側とインバータ 21 bの入力側の接続箇所に、このノードN 2の信号が反転されて保持され、出力されるようになっている。更に、ラッチ部 21の出力側には、インバータ 22が接続され、このインバータ 22からモード信号MODが出力されるようになっている。

【0020】

図2は、図1の動作を示すタイムチャートである。以下、この図1を参照しつつ、図1の動作を説明する。

【0021】

図2の時刻T0において、端子2に電源電圧VCCが与えられ、端子1には電源電圧VCC以下の信号INが与えられて、回路の動作が開始される。これにより、端子1の信号INは、バッファ3を介してアドレス信号ADRとして、図示しない内部回路に与えられる。

【0022】

一方、PMOS11のソース電圧はゲート電圧以下となるので、このPMOS11はオフ状態となる。また、NMOS13, 14は、ゲートに電源電圧VCCが与えられているので、オン状態となる。これにより、ノードN1の信号S1は“L”となり、インバータ15, 16, 17を介してPMOS18のゲートに与えられる。従って、PMOS18はオフ状態となる。

【0023】

また、電源電圧VCCの投入により、パワーオンリセット部20からリセット信号PORが出力され、NMOS19のゲートに与えられる。リセット信号PORが出力されている間、NMOS19はオン状態となり、ノードN2は、ほぼ接地電圧GNDになる。これにより、ラッチ部21がリセットされ、インバータ22から出力されるモード信号MODは“L”となる。

【0024】

その後、端子1の信号INが電源電圧VCCを越えない範囲で“H”，“L”に変化すると、この信号INはバッファ3を介してアドレス信号ADRとして、内部回路に与えられる。一方、信号INが電源電圧VCC以下である限り、PMOS11はオフ状態であるので、ノードN1の信号S1は“L”のままで変化せず、モード信号MODは“L”の状態に維持される。

【0025】

時刻T1において、端子1に $VCC + V_{th}$ 以上の電圧の信号INが印加されると、PMOS11がオン状態になる。これにより、端子1の電圧がPMOS11とNMOS12を介してノードN1に印加され、このノードN1の信号S1が

“H”になる。信号S1が“H”になると、PMOS18はオン状態となり、ノードN2は、ほぼ電源電圧VCCとなって、ラッチ部21がセットされる。そして、モード信号MODは“H”となる。

【0026】

時刻T2において、端子1の信号INが電源電圧VCCに戻ると、ノードN1の信号S1は“L”に戻る。これにより、PMOS18はオフ状態となるが、ラッチ部21の保持内容は変化せず、モード信号MODは“H”のままである。

【0027】

時刻T3において、高電圧印加試験をするために、端子2の電源電圧VCCが通常の電圧よりも上昇される。これにより、モード信号MODやアドレス信号ADR等の内部信号の“H”のレベルが上昇し、この上昇したレベルで試験が行われる。

【0028】

以上のように、この第1の実施形態の高電圧検出回路は、端子1の信号INが端子2の電源電圧よりも一定値以上高いときにオン状態となるPMOS11と、このPMOS11がオン状態となったときに、その状態をラッチするラッチ部21を有している。これにより、ラッチ部21を一旦セットした後、端子1に高電圧を印加し続ける必要がなくなる。

【0029】

従って、高電圧印加試験を行う場合、まず、通常の電源電圧VCCを端子2に印加し、端子2には試験モードを設定するための通常の高電圧を入力してモード信号MODをセットし、その後、端子2の電源電圧VCCを所定の高電圧まで上昇させれば良い。この時、端子1の信号INは、“H”，“L”のレベルの信号を印加すれば良いので、端子1に接続される入力用のバッファ3に必要以上の高電圧が印加されることがなくなり、ゲート酸化膜の破壊が生ずるおそれがないという利点がある。

【0030】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す高電圧検出回路の構成図であり、図1

中の要素と共通の要素には共通の符号が付されている。

【 0 0 3 1 】

この高電圧検出回路では、図 1 の高電圧検出回路において、NMOS 19 に並列にNMOS 23 を設けると共に、このNMOS 23 のゲートに与えるリセット信号MDRを外部から印加するための端子 4 を設けたものである。その他の構成は、図 1 と同様である。

【 0 0 3 2 】

図 4 は、図 3 の動作を示すタイムチャートである。以下、この図 4 を参照しつつ、図 3 の動作を説明する。

【 0 0 3 3 】

図 4 の時刻 T 1 1 において、端子 2 に電源電圧 VCC が与えられ、端子 1 には電源電圧 VCC 以下の信号 IN が与えられて、回路の動作が開始される。端子 1 の信号 IN は、バッファ 3 を介してアドレス信号 ADR として、内部回路に与えられる。この時、PMOS 11 のソース電圧はゲート電圧以下となるので、この PMOS 11 はオフ状態となり、ノード N 1 の信号 S 1 は “L” である。従って、PMOS 18 はオフ状態となる。

【 0 0 3 4 】

一方、電源電圧 VCC の投入により、パワーオンリセット部 20 からリセット信号 POR が出力され、NMOS 19 のゲートに与えられる。これにより、NMOS 19 がオン状態となってラッチ部 21 がリセットされ、インバータ 22 から出力されるモード信号 MOD は “L” となる。

時刻 T 1 2 において、端子 1 に $VCC + V_{th}$ 以上の電圧の信号 IN が印加されると、PMOS 11 がオン状態になる。これにより、ノード N 1 の信号 S 1 が “H” になり、PMOS 18 はオン状態となってラッチ部 21 がセットされ、モード信号 MOD は “H” となる。

【 0 0 3 5 】

時刻 T 1 3 において、端子 1 の信号 IN が電源電圧 VCC に戻るが、ラッチ部 21 の保持内容は変化せず、モード信号 MOD は “H” に維持される。

時刻 T 1 4 において、高電圧印加試験をするために、端子 2 に与えられる電源

電圧VCCが通常の電圧よりも上昇される。これにより、モード信号MODやアドレス信号ADR等の内部信号の“H”のレベルが上昇し、この上昇したレベルで試験が行われる。

【0036】

時刻T15において、高電圧印加試験が終了し、端子2の電源電圧VCCは通常の値に戻される。

時刻T16において、端子4に試験モードを終了させるためのリセット信号MDRが与えられると、NMOS23がオン状態となり、ノードN2がほぼ接地電圧GNDとなって、ラッチ部21がリセットされる。これにより、インバータ22から出力されるモード信号MODが“L”となり、試験モードが解除される。

【0037】

以上のように、この第2の実施形態の高電圧検出回路は、第1の実施形態の高電圧検出回路に、ラッチ部21を外部から与えるリセット信号MDRでリセットするためのNMOS23を有している。これにより、第1の実施形態と同様の利点に加えて、試験モードから通常モードに切り替えるときに、電源を再投入して立ち上げ直す必要がなくなり、直ちに通常モードに移行することができるという利点がある。

【0038】

(第3の実施形態)

図5は、本発明の第3の実施形態を示す高電圧検出回路の構成図であり、図3中の要素と共通の要素には共通の符号が付されている。

【0039】

この高電圧検出回路は、図3中のNMOS19とパワーオンリセット部20に代えて、ノードN2と接地電圧GNDの間にゲート長が長いディプレッション型のNMOS（以下、「DMOS」という）24を設けると共に、インバータ15、17の入力側と接地電圧GNDの間に、それぞれ同様のDMOS25、26を設けている。

【0040】

各DMOS24～26は、ゲート電圧が0Vの時にでもゲート長に応じた所定

のオン抵抗を呈するものであり、これらの各ゲートは接地電圧GNDに接続されている。これにより、各DMOS 24～26は、大きな抵抗値を有するプルダウン抵抗として動作するようになっている。各DMOS 24～26のゲート長は、高電圧検出回路を構成するバッファ3の出力段や、バッファ3より先の図示しない内部回路で使用されるトランジスタのゲート長に比べて長く、端子1に高電圧を印加した際に高電圧検出回路に流れる電流値に応じて適宜決定されている。

【0041】

この高電圧検出回路では、電源投入時に、端子2に電源電圧VCCが与えられ、端子1には電源電圧VCC以下の信号INが与えらると、PMOS 18がオフ状態となり、ノードN2がプルダウン用のDMOS 24を介して接地電圧GNDに接続される。これにより、ラッチ部21によってノードN2の“L”が保持され、インバータ22から“L”のモード信号MODが出力される。

この時、ノードN1もDMOS 25を介してプルダウンされ、信号S1は確実に“L”となる。更に、インバータ17の入力側も、DMOS 25を介してプルダウンされる。

【0042】

以上のように、この第3の実施形態の高電圧検出回路は、第2の実施形態の高電圧検出回路中のパワーダウンリセット部20とNMOS 19とに代えて、プルダウン用のDMOS 24を設けている。これにより、第2の実施形態の利点に加えて、回路構成を簡素化することができるという利点がある。

また、通常状態時に“L”となる箇所を、プルダウン用のDMOS 25、26で接地電圧GNDに接続しているので、電源投入時の初期状態が直ちに設定され、起動時間を短縮できるという利点がある。

【0043】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0044】

(a) インバータ15～17の構成は、例示したものに限定されない。即ち、それぞれ1個のPMOSとNMOSで構成された通常のものを用いても良い。

【0045】

(b) インバータ15～17を省略して、ノードN1にラッチ部を接続するようにしても良い。

【0046】

(c) ラッチ部21の構成は、例示したものに限定されない。例えば、セットリセット型のフリップフロップを用いて、信号S1でセットし、リセット信号POR, MDRでリセットするような構成にしても良い。

【0047】

(d) 図5のDMOS24～26に代えて、プルダウン用の抵抗を用いても良い。

【0048】

(e) 端子1は、高電圧とアドレス信号の入力に共用しているが、高電圧とその他の入力信号の入力に共用するようにしても良い。

【0049】

【発明の効果】

以上詳細に説明したように、本発明の高電圧検出回路によれば、入力端子に高電圧が与えられたときに、これを検出してその状態を保持し、高電圧検出信号を出力するラッチ部を有している。これにより、モード設定のために、入力端子に高電圧を印加し続ける必要がなくなり、電源電圧だけを所定の電圧まで上昇させて高電圧試験等を行うことが可能になる。従って、入力端子に所定の電圧以上の高電圧が印加されず、この入力端子を共用している論理回路のゲート酸化膜の破壊を防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す高電圧検出回路の構成図である。

【図2】

図1の動作を示すタイムチャートである。

【図3】

本発明の第2の実施形態を示す高電圧検出回路の構成図である。

【図 4】

図 3 の動作を示すタイムチャートである。

【図 5】

本発明の第 3 の実施形態を示す高電圧検出回路の構成図である。

【符号の説明】

1, 2, 4 端子

3 バッファ

11, 18 PMOS

12～14, 19, 23 NMOS

15～17, 22 インバータ

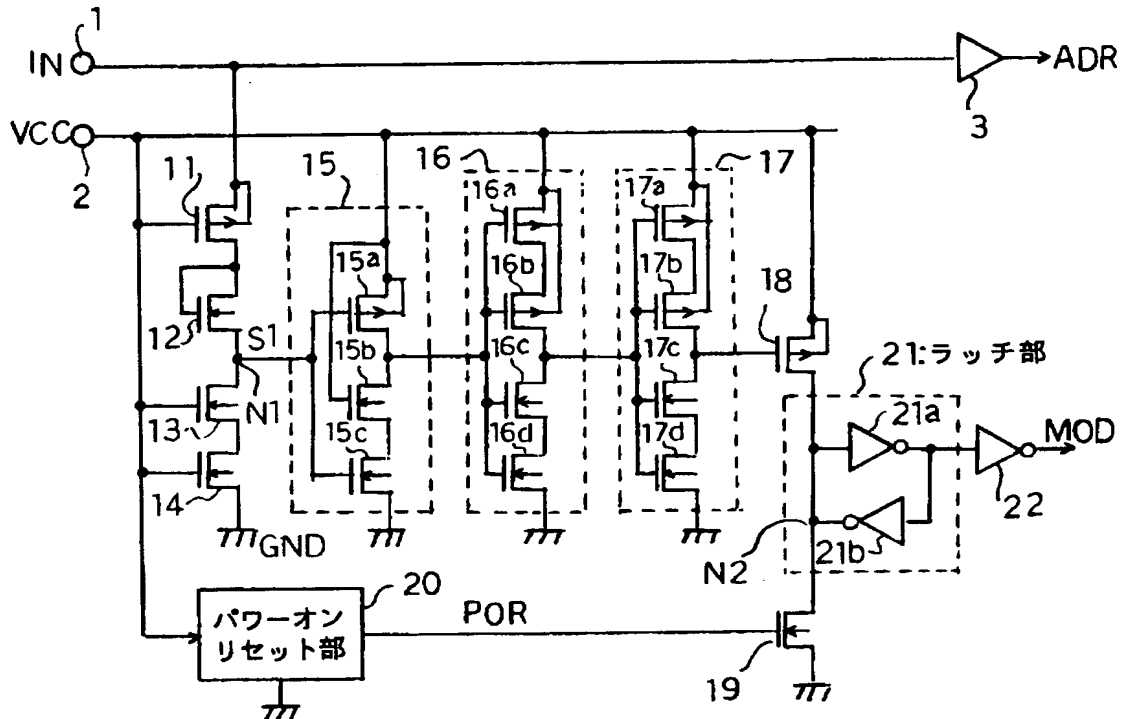
20 パワーオンリセット部

21 ラッチ部

24～26 DMOS

【書類名】 図面

【図 1】



本発明の第 1 の実施形態の高電圧検出回路

【図 2】

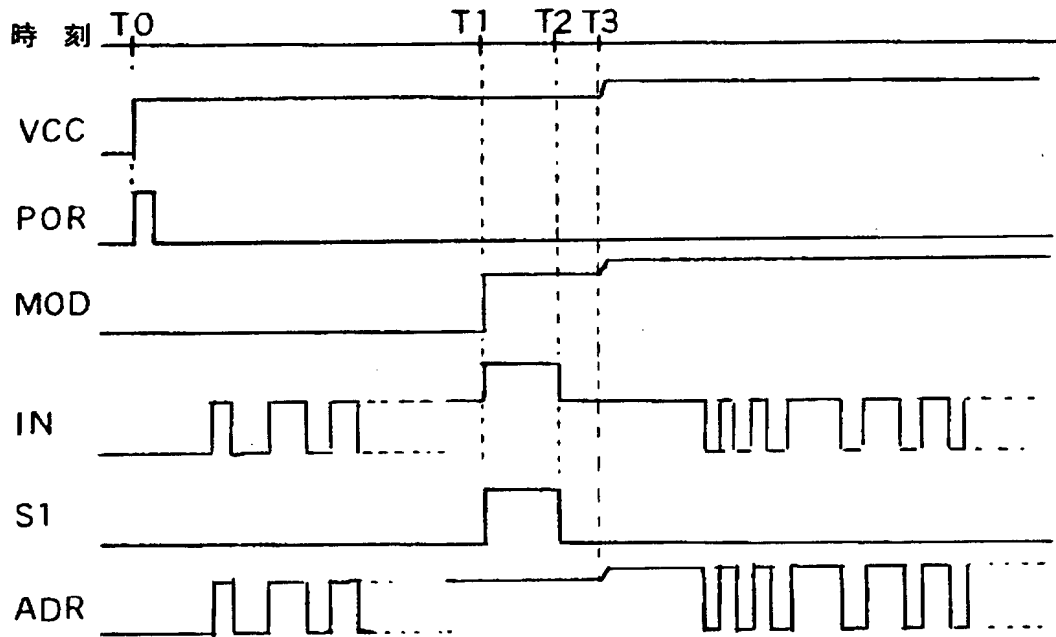
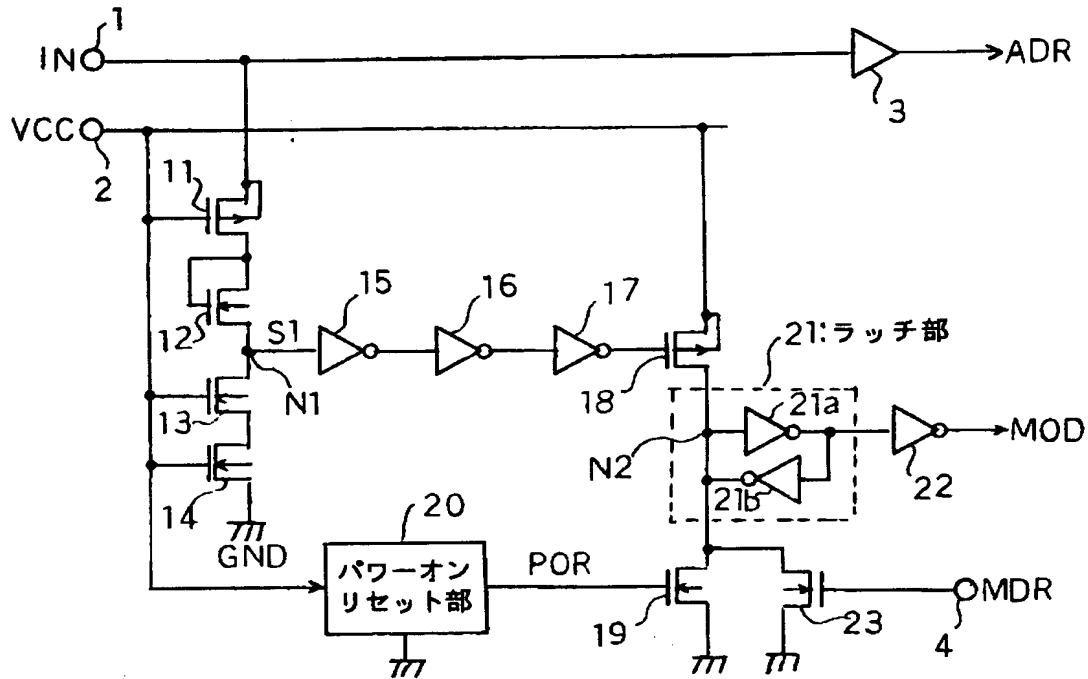


図 1 の動作

【図3】



本発明の第2の実施形態の高電圧検出回路

【図4】

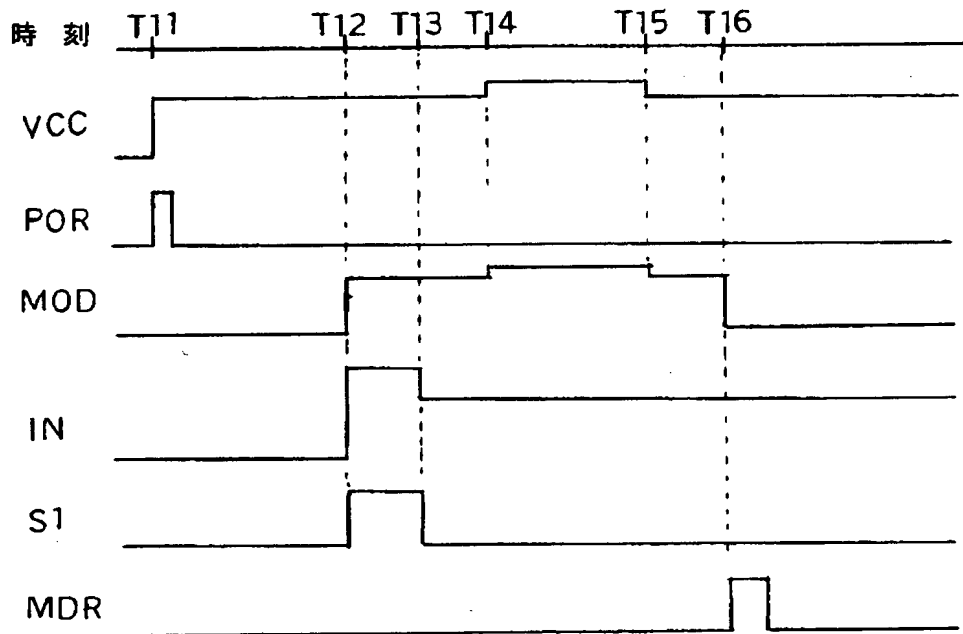
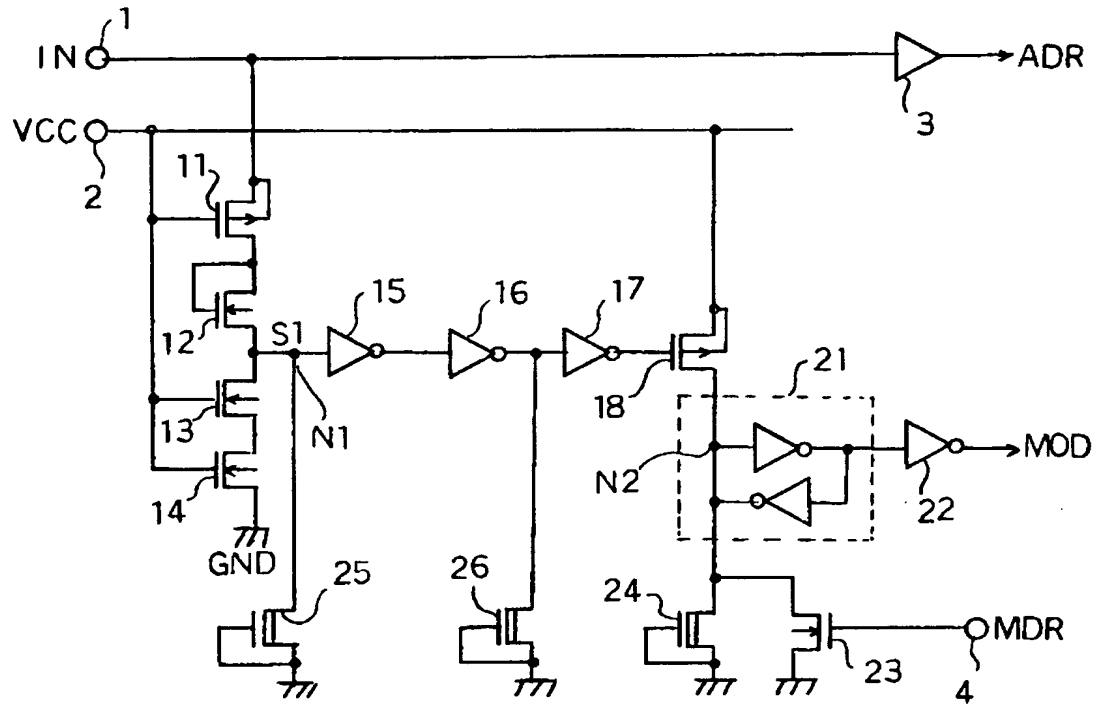


図3の動作

【図 5】



本発明の第 3 の実施形態の高電圧検出回路

【書類名】 要約書

【要約】

【課題】 高電圧試験時に必要以上の電圧を印加しなくても、高電圧を検出することができる高電圧検出回路を提供する。

【解決手段】 端子 2 に電源電圧 V_{CC} が供給されると、パワーオンリセット部 20 から出力されるリセット信号 POR でラッチ部 21 がリセットされる。その後、端子 1 に与えられる信号 IN の電圧を、電源電圧 V_{CC} よりも $PMOS11$ の閾値電圧 V_{th} 以上高くすると、この $PMOS11$ がオンになり、ノード $N1$ が“H”となる。これにより、ラッチ部 21 に試験モードがセットされる。その後、信号 IN を電源電圧 V_{CC} 以下にしても、ラッチ部 21 の試験モードは維持される。これにより、端子 2 の電源電圧 V_{CC} を上昇させて高電圧試験をすることができるので、端子 1 に必要以上の高電圧を印加して試験モードを設定する必要がなくなり、高電圧によるバッファ 3 等のゲート酸化膜の破壊を防止できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日

[変更理由] 名称変更

住 所 宮崎県宮崎郡清武町大字木原7083番地

氏 名 株式会社 沖マイクロデザイン